

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-224583

(43)Date of publication of application : 11.08.2000

(51)Int.Cl. H04N 7/30

(21)Application number : 11-021996 (71)Applicant : SONY CORP

(22)Date of filing : 29.01.1999 (72)Inventor : KONDO TETSUJIRO

NAKAYA HIDEO

HAMAMATSU TOSHIHIKO

(54) DEVICE AND METHOD FOR PROCESSING PICTURE SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To improve quality in a picture to be restored from a signal which is generated by compression encoding.

SOLUTION: An input picture signal I restored from a compression picture signal is made into a block. A DCT(discrete cosine transformation) transforming circuit 32 creates a DCT coefficient value based on the signal which is made into a block. The value where a space frequency is in a middle area and a high area is extracted among the DCT coefficient ones and dispersion values are calculated based on them. When at least one of the dispersion values is smaller than a first threshold a first flag is flagged. In the meantime an adjacent pixel extracting memory 33 extracts the group of pixels being adjacent across a block boundary. A differential absolute value between the pixels is calculated and the number of times where the calculated value continuously becomes larger than the second threshold is counted by a continuity counting circuit 43. When the counted value is larger than the third threshold the third flag is flagged. When the first and the third flags are simultaneously flagged the fourth flag indicating the position of a block distortion is flagged.

CLAIMS

[Claim(s)]

[Claim 1] An image signal processor which removes block distortion from a picture signal acquired by performing decryption corresponding to compression encoding to a compression encoding picture signal characterized by comprising the following

generated by compression encoding including orthogonal transformation.

An orthogonal transformation means which carries out orthogonal transformation to a picture signal to input by making a two-dimensional block into a unit.

A coefficient value set division means to divide into two or more fields a set of a coefficient value acquired for every pixel within the above-mentioned block as a result of the above-mentioned orthogonal transformation.

A variance calculating means which calculates a value of distribution of an absolute value of the above-mentioned coefficient value in a specific field of one piece or plurality of two or more above-mentioned fields.

[Claim 2]An image signal processor having further a variance comparison means to generate a comparison result signal which shows a comparison result measuring an output of the above-mentioned variance calculating means with a predetermined threshold in claim 1.

[Claim 3]An image signal processor using a field where spatial frequency is comparatively high as the above-mentioned specific field in claim 1.

[Claim 4]An image signal processor having further a means to perform an operation based on an output of the above-mentioned variance comparison means respectively corresponding to the two above-mentioned fields in claim 1 using a field which is two pieces whose spatial frequency is comparatively high as the above-mentioned specific field.

[Claim 5]An image signal processor which removes block distortion from a picture signal acquired by performing decryption corresponding to compression encoding to a compression encoding picture signal characterized by comprising the following generated by compression encoding including orthogonal transformation.

An adjacent pixel extraction means to extract a group of two pixels in a position which divides a picture signal to input into a two-dimensional block and adjoins mutually across a block border for every block.

A difference absolute value calculating means which calculates a difference absolute value about a group of the above-mentioned pixel.

[Claim 6]A difference absolute value comparison means to output a comparison result in claim 5 measuring an output of the above-mentioned difference absolute value calculating means with a predetermined threshold continuity which outputs a comparison result measuring with a predetermined threshold an output of a continuity counting means which calculates the number of times to which the above-mentioned difference absolute value comparison means outputs a predetermined comparison result continuously and the above-mentioned continuity counting means -- calculation -- an image signal processor having a comparison means further.

[Claim 7]Claim 2 comprising:

An adjacent pixel extraction means to extract a group of two pixels in a position

which divides a picture signal to input into a two-dimensional block and adjoins mutually across a block border for every block.

A difference absolute value calculating means which calculates a difference absolute value about a group of the above-mentioned pixel.

A difference absolute value comparison means to output a comparison result measuring an output of the above-mentioned difference absolute value calculating means with a predetermined threshold.

A continuity counting means which calculates the number of times to which the above-mentioned difference absolute value comparison means outputs a predetermined comparison result continuously continuity which outputs a comparison result measuring an output of the above-mentioned continuity counting means with a predetermined threshold -- calculation -- having a comparison means further -- an output of the above-mentioned variance comparing output and the above-mentioned continuity -- calculation -- a means to perform data processing based on an output of a comparison means.

[Claim 8]A picture signal disposal method which removes block distortion from a picture signal acquired by performing decryption corresponding to compression encoding to a compression encoding picture signal characterized by comprising the following generated by compression encoding including orthogonal transformation.

An orthogonal transformation step which carries out orthogonal transformation to a picture signal to input by making a two-dimensional block into a unit.

A coefficient value set division step which divides into two or more fields a set of a coefficient value acquired for every pixel within the above-mentioned block as a result of the above-mentioned orthogonal transformation.

Variance calculation steps which calculate a value of distribution of an absolute value of the above-mentioned coefficient value in a specific field of one piece or plurality of two or more above-mentioned fields.

[Claim 9]A picture signal disposal method which removes block distortion from a picture signal acquired by performing decryption corresponding to compression encoding to a compression encoding picture signal characterized by comprising the following generated by compression encoding including orthogonal transformation.

An adjacent pixel extraction step which extracts a group of two pixels in a position which divides a picture signal to input into a two-dimensional block and adjoins mutually across a block border for every block.

Difference absolute value calculation steps which calculate a difference absolute value about a group of the above-mentioned pixel.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the image information converter and image information conversion method for restoring the picture signals set acquired by the compression encoding which includes orthogonal transformations such as MPEG for example.

[0002]

[Description of the Prior Art] When the picture signals set acquired by compression encoding including orthogonal transformations such as MPEG1 and MPEG 2 is restored with a high compression ratio block distortion may be especially conspicuous in a reproduced image. Since this block distortion is conspicuous in a block border the method of reducing distortion is proposed by applying an accommodative low pass filter etc. to a block boundary portion.

[0003]

[Problem(s) to be Solved by the Invention] However when processing which was mentioned above was performed there was a problem that there was a possibility that the fall of the resolution which originates in low pass filter processing in the edge part contained in the original picture may arise.

[0004] If the position of block distortion etc. are exactly detectable processing of applying a low pass filter only to the portion is attained and dissolution or its extent can be reduced for an above-mentioned problem.

[0005] Therefore when the purpose of this invention detects exactly the position etc. of the block distortion in the picture signal restored from the coded image signal generated by the coding including orthogonal transformation block distortion is removed exactly and it is in providing the image information converter and image information conversion method which can raise image quality.

[0006]

[Means for Solving the Problem] In an image signal processor which removes block distortion from a picture signal acquired when an invention of claim 1 performs decryption corresponding to compression encoding to a compression encoding picture signal generated by compression encoding including orthogonal transformation An orthogonal transformation means which carries out orthogonal transformation to a picture signal to input by making a two-dimensional block into a unit In a specific field of one piece or plurality of a coefficient value set division means to divide into two or more fields a set of a coefficient value acquired for every pixel within the above-mentioned block as a result of the above-mentioned orthogonal transformation and two or more above-mentioned fields It is an image signal processor having a variance calculating means which calculates a value of distribution of an absolute value of the above-mentioned coefficient value.

[0007]In an image signal processor which removes block distortion from a picture signal acquired when an invention of claim 5 performs decryption corresponding to compression encoding to a compression encoding picture signal generated by compression encoding including orthogonal transformationAn adjacent pixel extraction means to extract a group of two pixels in a position which divides a picture signal to input into a two-dimensional blockand adjoins mutually across a block border for every blockIt is an image signal processor having a difference absolute value calculating means which calculates a difference absolute value about a group of the above-mentioned pixel.

[0008]In a picture signal disposal method which removes block distortion from a picture signal acquired when an invention of claim 8 performs decryption corresponding to compression encoding to a compression encoding picture signal generated by compression encoding including orthogonal transformationAn orthogonal transformation step which carries out orthogonal transformation to a picture signal to input by making a two-dimensional block into a unitIn a specific field of one piece or plurality of a coefficient value set division step which divides into two or more fields a set of a coefficient value acquired for every pixel within the above-mentioned block as a result of the above-mentioned orthogonal transformationand two or more above-mentioned fieldsIt is a picture signal disposal method having the variance calculation steps which calculate a value of distribution of an absolute value of the above-mentioned coefficient value.

[0009]In a picture signal disposal method which removes block distortion from a picture signal acquired when an invention of claim 9 performs decryption corresponding to compression encoding to a compression encoding picture signal generated by compression encoding including orthogonal transformationAn adjacent pixel extraction step which extracts a group of two pixels in a position which divides a picture signal to input into a two-dimensional blockand adjoins mutually across a block border for every blockIt is a picture signal disposal method having the difference absolute value calculation steps which calculate a difference absolute value about a group of the above-mentioned pixel.

[0010]According to claim 1 and the invention according to claim 8a high block of a possibility of having block distortion based on a variance in a conversion factor obtained by performing orthogonal transformation to a picture signal is detected.

[0011]According to claim 5 and the invention according to claim 9a high block of a possibility of having block distortion based on a difference absolute value of picture element data between pixels which adjoin across a block border in a picture signal is detected.

[0012]

[Embodiment of the Invention]The composition of one embodiment of this invention is explained with reference to drawing 1. The input picture signal I is supplied to A/D converter 30. Herethe input picture signal I is the usual television signal acquired by

restoring the picture signals set with which it comes to give compression encoding which contains discrete cosine transforms (it is hereafter written as DCT transformation)such as MPEG1 and MPEG 2in an original picture signal by the decoder which is not illustrated. A/D converter 30 performs and digitizes an AD translation to the input picture signal I. The output of A/D converter 30 is supplied to the blocking circuit 31. The blocking circuit 31 blocks the output of A/D converter 30 to two-dimensional DCT blockssuch as 8 pixels x 8 pixels. Herethe operating condition of the blocking circuit 31 is controlled so that the block border of DCT blocks is made into the same position as the block border of the DCT blocks in the case of compression encodingsuch as MPEG1 and MPEG 2.

[0013]The output of the blocking circuit 31 is supplied to the DCT transformation circuit 32 and the memory 33 for adjacent pixel extraction. The DCT transformation circuit 32 performs DCT transformation processing to the output of the blocking circuit 31and generates a DCT coefficient value. Although the case where a coding mode including DCT transformationsuch as MPEG1 and MPEG 2was here used as original compression encoding was considered as composition provided with the DCT transformation circuit 32This invention can be applied when using the coding mode which includes orthogonal transformation other than DCT transformationsuch as a Hadamard transformfor example as original compression encoding. In such a casewhat is necessary is just to have composition provided with the circuit which performs orthogonal transformation included in the original compression encoding instead of the DCT transformation circuit 32.

[0014]The DCT coefficient value generated by the DCT transformation circuit 32 is divided according to spatial frequency. For exampleit is divided into four fields including a DC value~~low-pass~~ a mid-rangeand a high region as shown in drawing 2. Among the fields of these pluralitythe DCT coefficient value in the field where spatial frequency is comparatively high is extracted. When performing division as shown in drawing 2 a mid-range and the coefficient value of a high region are extracted by the mid-range extracting circuit 34 and the high region extracting circuit 35respectively. Herereprocessing based on the DCT coefficient value in the field where spatial frequency is comparatively high is performed because it took into consideration that it was easy to produce block distortion. Howeverthe number of the fields divided is not limited to four piecesand the number of the fields extracted is not limited to two pieces.

[0015]The output of the mid-range extracting circuit 34 and the high region extracting circuit 35 is supplied to an absolute valueaverage valueand the variance calculation circuits 36 and 37respectively. An absolute valueaverage valueand the variance calculation circuits 36 and 37 calculate an absolute valueaverage valueand a variance based on the signal supplied. The variance which an absolute valueaverage valueand the variance calculation circuits 36 and 37 computerespectively is supplied to the comparison circuits 38 and 39. The 1st threshold is separately supplied to the

comparison circuits 38 and 39. And the comparison circuits 38 and 39 supply a comparison result to the flag generating circuit 40 comparing the variance supplied with the 1st threshold.

[0016] The flag generating circuit 40 sets the 1st flag that shows that he is a block distortion candidate on an output signal when at least one side of the outputs of the comparison circuits 38 and 39 is a comparison result of the purport that a variance is smaller than the 1st threshold. When the variance to which the comparison circuits 38 and 39 are supplied is smaller than the 1st threshold it is made for such operation to output '1' as a comparison result and it is realized by the composition of using an alternation gate as the flag generating circuit 40. The output of the flag generating circuit 40 is supplied to the memory 45 for timing adjustments.

[0017] On the other hand the memory 33 for adjacent pixel extraction once memorizes the blocked picture signal which is an output of the blocking circuit 31 and supplies the group of the picture element data which adjoins mutually across a block border to the difference absolute value calculation circuit 41 by outputting controlling an address appropriately after that.

[0018] The group of the picture element data which adjoins mutually across a block border is explained with reference to drawing 3. In drawing 3 the block border where a thick line consists of 8 pixels x 8 pixels is shown. The numerals of 123...28 were clockwise given to the pixel within the block in the position which adjoins a block border. and the pixel of the outside of the block border which adjoins to each of the pixels 123...28 -- 12 and 3 ... was attached. however -- since two pixels of the outside of a block border adjoin to the pixels 1815 and 22 located in four corners of a block -- respectively -- the pixels 1 and 1 -- "the pixels 8 and 8' and the pixels 15 and 15 -- it illustrated so that "and the pixels 22 and 22' might adjoin.

[0019] The difference absolute value calculation circuit 41 computes the absolute value of difference about the group of the picture element data which adjoins mutually across a block border supplied from the memory 33 for adjacent pixel extraction and supplies the absolute value of the computed difference to the comparison circuit 42. The 2nd threshold is separately supplied to the comparison circuit 42. And the comparison circuit 42 supplies a comparison result to the continuity counting circuit 43 comparing the absolute value of the difference supplied with the 2nd threshold. When judged with the comparison circuit 42 having an absolute value of difference larger than the 2nd threshold more specifically the 2nd flag is set on the signal which shows a comparison result.

[0020] The continuity counting circuit 43 calculates the number which the 2nd flag follows the output of the comparison circuit 42 and appears and supplies enumerated data to the comparison circuit 44. The 3rd threshold is separately supplied to the comparison circuit 44. And when judged with enumerated data being larger than the 3rd threshold the comparison circuit 44 sets the 3rd flag that shows that he is a block distortion candidate on an output signal. The output of the comparison circuit 44 is

supplied to the memory 45 for timing adjustments.

[0021]The memory 45 for timing adjustments once holds the output of the flag generating circuit 40 and the output of the comparison circuit 44 and after it doubles both timing it supplies them to AND gate 46. AND gate 46 sets the 4th flag when the 1st flag in the output of the flag generating circuit 40 and the 3rd flag in the output of the comparison circuit 44 stand simultaneously. Such 4th flag will show the block with a higher possibility that block distortion has arisen. The block distortion reduction circuit which the 4th flag does not illustrate is supplied.

[0022]In a block distortion reduction circuit processing which pinpoints the occurrence position of block distortion with reference to the position which stands as for the 4th flag is performed and processing for removing block distortion based on a processing result is performed. That is in relation to the occurrence position of the block distortion specified the processing condition in low pass filter processing and class sorting adaptation processing is controlled (for example change of processing parameters such as a change of prediction coefficient data change of tap structure etc.).

[0023]The flag based on the variance calculated in one embodiment of this invention mentioned above based on the output of the DCT transformation circuit 32 (generally orthogonal transformation circuit) He is trying to generate the flag which shows the block which has block distortion based on both flags based on the difference absolute value between the pixels which adjoin across a block border. On the other hand it may be made to use it as a flag which shows the block which has block distortion for the flag based on the variance calculated based on the output of an orthogonal transformation circuit. It may be made to use it as a flag which shows the block which has block distortion for the flag based on the difference absolute value between the pixels which adjoin across a block border.

[0024]Various modification and application are possible for this invention within limits which are not limited to the embodiment etc. which were mentioned above and do not deviate from the main point of this invention.

[0025]

[Effect of the Invention] To the conversion factor obtained by performing orthogonal transformation to the picture signal which may have block distortion according to this invention as mentioned above a variance And/or the high block of a possibility of having block distortion based on the difference absolute value of the picture element data between the pixels which adjoin across the block border in a picture signal is detected.

[0026] Since processing for reducing block distortion such as low pass filter processing for example can be performed more exactly by this image quality can be raised.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing an example of the composition of one embodiment of this invention.

[Drawing 2]It is an approximate line figure for [of a DCT coefficient value] giving area division explanation.

[Drawing 3]It is an approximate line figure for explaining the pixel which adjoins across a block border.

[Description of Notations]

32 [--- The memory for adjacent pixel extraction 41 / ... A difference absolute value calculation circuit43 / ... Continuity counting circuit] ... A DCT transformation circuit3637 ... An absolute valueaverage value and a variance calculation circuit3839 ... A comparison circuit33

【特許請求の範囲】

【請求項1】 直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理装置において、
入力する画像信号に、2次元のブロックを単位として直交変換を行う直交変換手段と、
上記直交変換の結果として上記ブロック内の各画素毎に得られる係数値の集合を複数の領域に分割する係数値集合分割手段と、
上記複数の領域の内の1個または複数個の特定の領域において、上記係数値の絶対値の分散の値を計算する分散値計算手段を有することを特徴とする画像信号処理装置。

【請求項2】 請求項1において、
上記分散値計算手段の出力を所定のしきい値と比較し、比較結果を示す比較結果信号を生成する分散値比較手段をさらに有することを特徴とする画像信号処理装置。

【請求項3】 請求項1において、
上記特定の領域として空間周波数が比較的高い領域を用いることを特徴とする画像信号処理装置。

【請求項4】 請求項1において、
上記特定の領域として空間周波数が比較的高い2個の領域を用い、
上記2個の領域にそれぞれ対応する上記分散値比較手段の出力に基づく演算を行う手段をさらに有することを特徴とする画像信号処理装置。

【請求項5】 直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理装置において、
入力する画像信号を2次元のブロックに分割し、ブロック境界を挟んで互いに隣接する位置にある2個の画素の組をブロック毎に抽出する隣接画素抽出手段と、
上記画素の組についての差分絶対値を計算する差分絶対値計算手段とを有することを特徴とする画像信号処理装置。

【請求項6】 請求項5において、
上記差分絶対値計算手段の出力を所定のしきい値と比較し、比較結果を示す差分絶対値比較手段と、
上記差分絶対値比較手段が所定の比較結果を連続して出力する回数を計数する連続性計数手段と、
上記連続性計数手段の出力を所定のしきい値と比較し、比較結果を示す連続性計数比較手段とをさらに有することを特徴とする画像信号処理装置。

【請求項7】 請求項2において、
入力する画像信号を2次元のブロックに分割し、ブロック境界を挟んで互いに隣接する位置にある2個の画素の組をブロック毎に抽出する隣接画素抽出手段と、
上記画素の組についての差分絶対値を計算する差分絶対

値計算手段と、

上記差分絶対値計算手段の出力を所定のしきい値と比較し、比較結果を示す差分絶対値比較手段と、
上記差分絶対値比較手段が所定の比較結果を連続して出力する回数を計数する連続性計数手段と、
上記連続性計数手段の出力を所定のしきい値と比較し、比較結果を示す連続性計数比較手段とをさらに有し、
上記分散値比較手段の出力と、上記連続性計数比較手段の出力に基づく演算処理を行う手段を有することを特徴とする画像信号処理装置。

【請求項8】 直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理方法において、
入力する画像信号に、2次元のブロックを単位として直交変換を行う直交変換ステップと、
上記直交変換の結果として上記ブロック内の各画素毎に得られる係数値の集合を複数の領域に分割する係数値集合分割ステップと、
上記複数の領域の内の1個または複数個の特定の領域において、上記係数値の絶対値の分散の値を計算する分散値計算ステップを有することを特徴とする画像信号処理方法。

【請求項9】 直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理方法において、
入力する画像信号を2次元のブロックに分割し、ブロック境界を挟んで互いに隣接する位置にある2個の画素の組をブロック毎に抽出する隣接画素抽出ステップと、
上記画素の組についての差分絶対値を計算する差分絶対値計算ステップとを有することを特徴とする画像信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えばMPEG等の直交変換を含む圧縮符号化によって得られる圧縮画像信号を復元するための画像情報変換装置および画像情報変換方法に関する。

【0002】

【従来の技術】 MPEG1, MPEG2等の直交変換を含む圧縮符号化によって得られる圧縮画像信号を復元した場合、特に高い圧縮率では、再生画像においてブロック歪みが目立つ場合がある。このブロック歪みはブロック境界において目立つので、ブロック境界部分に対して適応的なローパスフィルタ等をかけることによって歪みの低減を行う方法が提案されている。

【0003】

【発明が解決しようとする課題】 しかしながら、上述し

たような処理を行うと、元の画像に含まれるエッジ部分においてローパスフィルタ処理に起因する解像度の低下が生じるおそれがあるという問題があった。

【0004】 ブロック歪みの位置等を的確に検出することができれば、その部分にのみローパスフィルタをかけるようにする等の処理が可能となり、上述の問題点を解消若しくはその程度を低減することができる。

【0005】 従って、この発明の目的は、直交変換を含む符号化によって生成された符号化画像信号から復元される画像信号中のブロック歪みの位置等を的確に検出することにより、ブロック歪みを的確に除去し、画質向上させることが可能な画像情報変換装置および画像情報変換方法を提供することにある。

【0006】

【課題を解決するための手段】 請求項1の発明は、直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理装置において、入力する画像信号に、2次元のブロックを単位として直交変換を行う直交変換手段と、上記直交変換の結果として上記ブロック内の各画素毎に得られる係数値の集合を複数の領域に分割する係数値集合分割手段と、上記複数の領域の内の1個または複数個の特定の領域において、上記係数値の絶対値の分散の値を計算する分散値計算手段を有することを特徴とする画像信号処理装置である。

【0007】 請求項5の発明は、直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理装置において、入力する画像信号を2次元のブロックに分割し、ブロック境界を挟んで互いに隣接する位置にある2個の画素の組をブロック毎に抽出する隣接画素抽出手段と、上記画素の組についての差分絶対値を計算する差分絶対値計算手段を有することを特徴とする画像信号処理装置である。

【0008】 請求項8の発明は、直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理方法において、入力する画像信号に、2次元のブロックを単位として直交変換を行う直交変換ステップと、上記直交変換の結果として上記ブロック内の各画素毎に得られる係数値の集合を複数の領域に分割する係数値集合分割ステップと、上記複数の領域の内の1個または複数個の特定の領域において、上記係数値の絶対値の分散の値を計算する分散値計算ステップを有することを特徴とする画像信号処理方法である。

【0009】 請求項9の発明は、直交変換を含む圧縮符号化によって生成される圧縮符号化画像信号に対して圧

縮符号化に対応する復号化を施すことによって得られる画像信号からブロック歪みを除去する画像信号処理方法において、入力する画像信号を2次元のブロックに分割し、ブロック境界を挟んで互いに隣接する位置にある2個の画素の組をブロック毎に抽出する隣接画素抽出ステップと、上記画素の組についての差分絶対値を計算する差分絶対値計算ステップとを有することを特徴とする画像信号処理方法である。

【0010】 請求項1および請求項8に記載の発明によれば、画像信号に直交変換を施すことによって得られる変換係数に分散値に基づいてブロック歪みを有する可能性の高いブロックが検出される。

【0011】 請求項5および請求項9に記載の発明によれば、画像信号中のブロック境界を挟んで隣接する画素の間の画素データの差分絶対値に基づいてブロック歪みを有する可能性の高いブロックが検出される。

【0012】

【発明の実施の形態】 この発明の一実施形態の構成について図1を参照して説明する。入力画像信号IはAD変換器30に供給される。ここで、入力画像信号Iは、原画像信号にMPEG1, MPEG2等の離散コサイン変換（以下、DCT変換と表記する）を含む圧縮符号化が施されてなる圧縮画像信号を、図示しないデコーダによって復元することによって得られる通常のTV信号である。AD変換器30は、入力画像信号IにAD変換を施してデジタル化する。AD変換器30の出力はブロック化回路31に供給される。ブロック化回路31は、AD変換器30の出力を例えば8画素×8画素等の2次元のDCTブロックにブロック化する。ここで、DCTブロックのブロック境界がMPEG1, MPEG2等の圧縮符号化の際のDCTブロックのブロック境界と同じ位置とされるように、ブロック化回路31の動作条件が制御される。

【0013】 ブロック化回路31の出力は、DCT変換回路32および隣接画素抽出用メモリ33に供給される。DCT変換回路32は、ブロック化回路31の出力にDCT変換処理を施し、DCT係数値を生成する。ここでは、元の圧縮符号化として、MPEG1, MPEG2等のDCT変換を含む符号化方式を用いる場合をDCT変換回路32を備える構成としたが、元の圧縮符号化として、例えばアダマール変換等のDCT変換以外の直交変換を含む符号化方式を用いる場合においてもこの発明を適用することができる。そのような場合には、DCT変換回路32の代わりに、元の圧縮符号化に含まれる直交変換を行う回路を備える構成とすれば良い。

【0014】 DCT変換回路32によって生成されるDCT係数値が空間周波数に従って分割される。例えば図2に示すようなDCT値、低域、中域および高域を含む4個の領域に分割される。これら複数個の領域の内で、空間周波数が比較的高い領域におけるDCT係数値が抽出

される。図2に示したような分割を行う場合には、中域および高域の係数値がそれぞれ、中域抽出回路34および高域抽出回路35によって抽出される。ここで、空間周波数が比較的高い領域におけるDCT係数値に基づく処理を行うのは、ブロック歪みが生じ易いことを考慮したためである。但し、分割される領域の数は4個に限定されるものでは無く、また、抽出される領域の数は2個に限定されるものでは無い。

【0015】中域抽出回路34および高域抽出回路35の出力は、それぞれ、絶対値、平均値および分散値計算回路36、37に供給される。絶対値、平均値および分散値計算回路36、37は、供給される信号に基づいて、絶対値、平均値および分散値を計算する。絶対値、平均値および分散値計算回路36、37がそれぞれ算出する分散値は、比較回路38、39に供給される。比較回路38、39には、第1のしきい値が別途供給される。そして、比較回路38、39は、供給される分散値を第1のしきい値と比較し、比較結果をフラグ生成回路40に供給する。

【0016】フラグ生成回路40は、比較回路38、39の出力の内の少なくとも一方が分散値が第1のしきい値よりも小さい旨の比較結果である時に、出力信号上にブロック歪み候補であることを示す第1のフラグを立てる。このような動作は、比較回路38、39が供給される分散値が第1のしきい値よりも小さい場合に比較結果として'1'を出力するようにし、また、フラグ生成回路40として論理回路を用いる等の構成によって実現される。フラグ生成回路40の出力はタイミング調整用メモリ45に供給される。

【0017】一方、隣接画素抽出用メモリ33は、ブロック化回路31の出力であるブロック化された画像信号を一旦記憶し、その後アドレスを適切に制御しながら出力を行うことによってブロック境界を挟んで互いに隣接する画素データの組を差分絶対値計算回路41に供給する。

【0018】ブロック境界を挟んで互いに隣接する画素データの組について図3を参照して説明する。図3において、太線が8画素×8画素からなるブロック境界を示す。ブロック境界に隣接する位置にあるブロック内の画素に、時計回りに1、2、3・・・、28の符号を付した。そして、画素1、2、3・・・、28のそれぞれに対して隣接するブロック境界の外側の画素に1'、2'、3'・・・を付した。但し、ブロックの4隅に位置する画素1、8、15、22に対しては、ブロック境界の外側の2個の画素が隣接するので、それぞれ、画素1' と 1''、画素8' と 8''、画素15' と 15''、画素22' と 22'' が隣接するように図示した。

【0019】差分絶対値計算回路41は、隣接画素抽出用メモリ33から供給される、ブロック境界を挟んで互

いに隣接する画素データの組について差分の絶対値を算出し、算出した差分の絶対値を比較回路42に供給する。比較回路42には、第2のしきい値が別途供給される。そして、比較回路42は供給される差分の絶対値を第2のしきい値と比較し、比較結果を連続性計数回路43に供給する。より具体的には、比較回路42は、差分の絶対値が第2のしきい値よりも大きいと判定される時に比較結果を示す信号上に第2のフラグを立てる。

【0020】連続性計数回路43は、比較回路42の出力に第2のフラグが連続して現れる数を計数し、計数値を比較回路44に供給する。比較回路44には第3のしきい値が別途供給される。そして、計数値が第3のしきい値より大きいと判定される時に、比較回路44は、出力信号上にブロック歪み候補であることを示す第3のフラグを立てる。比較回路44の出力は、タイミング調整用メモリ45に供給される。

【0021】タイミング調整用メモリ45は、フラグ生成回路40の出力と比較回路44の出力を一旦保持し、両者のタイミングを合わせた上で論理積回路46に供給する。論理積回路46は、フラグ生成回路40の出力における第1のフラグと比較回路44の出力における第3のフラグとが同時に立っている時に第4のフラグを立てる。このような第4のフラグは、ブロック歪みが生じている可能性がより高いブロックを示すことになる。第4のフラグが図示しないブロック歪み低減回路に供給される。

【0022】ブロック歪み低減回路では、第4のフラグが立っている位置を参照してブロック歪みの発生位置を特定する処理を行い、処理結果に基づいてブロック歪みを除去するための処理を行う。すなわち、特定されるブロック歪みの発生位置に関連して、ローパスフィルタ処理や、クラス分類適応処理における処理条件の制御（例えば予測係数データの切り替え等の処理パラメータの変更、タップ構造の変更等）を行う。

【0023】上述したこの発明の一実施形態においては、DCT変換回路32（より一般的には直交変換回路）の出力に基づいて計算される分散値に基づくフラグと、ブロック境界を挟んで隣接する画素間の差分絶対値に基づくフラグとの両方にに基づいてブロック歪みを有するブロックを示すフラグを生成するようにしている。これに対して、直交変換回路の出力に基づいて計算される分散値に基づくフラグをブロック歪みを有するブロックを示すフラグとして使用するようにしても良い。また、ブロック境界を挟んで隣接する画素間の差分絶対値に基づくフラグをブロック歪みを有するブロックを示すフラグとして使用するようにしても良い。

【0024】この発明は、上述した実施形態等に限定されるものでは無く、この発明の主旨を逸脱しない範囲内で様々な変形や応用が可能である。

【0025】

【発明の効果】 上述したように、この発明によれば、ブロック歪みを有する可能性のある画像信号に直交変換を施すことによって得られる変換係数に分散値、および／または画像信号中のブロック境界を挟んで隣接する画素の間の画素データの差分絶対値に基づいてブロック歪みを有する可能性の高いブロックが検出される。

【0026】 これにより、例えばローパスフィルタ処理等のブロック歪みを低減するための処理をより的確に行うことができるので、画質を向上させることができる。

【図面の簡単な説明】

【図1】 この発明の一実施形態の構成の一例を示すプロ

ック図である。

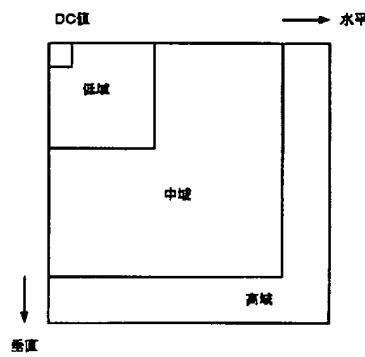
【図2】 D C T係数値の領域分割説明するための略線図である。

【図3】 ブロック境界を挟んで隣接する画素について説明するための略線図である。

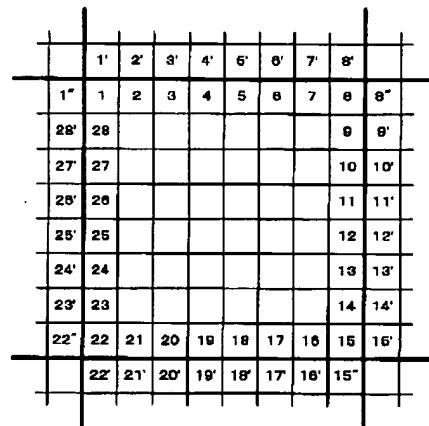
【符号の説明】

32・・・D C T変換回路、36、37・・・絶対値、平均値および分散値計算回路、38、39・・・比較回路、33・・・隣接画素抽出用メモリ、41・・・差分絶対値計算回路、43・・・連続性計数回路

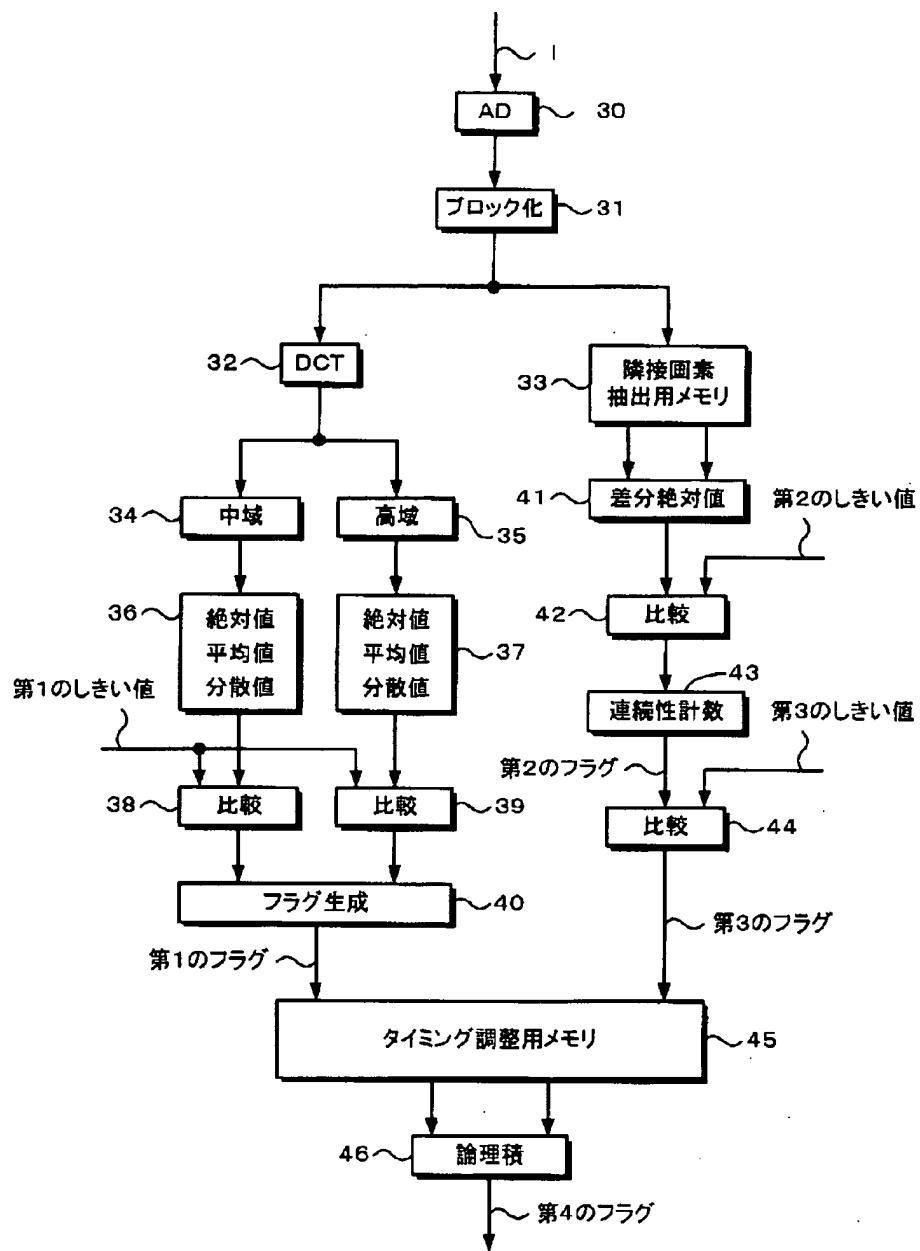
【図2】



【図3】



【図1】



フロントページの続き

(72) 発明者 浜松 俊彦
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内

F ターム(参考) 5C059 KK03 MA00 MA23 NN21 PP21
 PP25 TA41 TB08 TB10 TB14
 TC04 TC33 TD03 TD04 TD05
 TD07 TD12 UA05